**密级：外部公开**

# JM7500 图形处理芯片数据手册

 长沙景美集成电路设计有限公司

声明

本文件涉及到的内容权利归属长沙景美集成电路设计有限公司所有，不经允许不得复制、传播、摘录、引用。本文件由长沙景美集成电路设计有限公司负责维护。

# 章节介绍

第一、二章主要介绍了本文档的应用范围和引用规范。

第三、四章主要对 JM7500 图形处理芯片进行了全面的功能介绍，对该芯片实现的功能进行说明。第五、六章主要对芯片的用户管脚（IO）功能和接口时序进行详细说明。

第七章主要对各功能管脚的电气类型，包括管脚电压、功耗、电平要求进行说明。第八章对芯片的机械特性，即物理尺寸和焊接操作工艺进行说明。

附录为 管脚列表和分布情况。

修订记录

|  |  |  |
| --- | --- | --- |
| 版本号 | 日期 | 内容 |
| 1.0.0 | 20201127 | 文件建立 |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |
|  |  |  |

# 目 录

[1. 范围 10](#_bookmark0)

[1.1. 标识 10](#_bookmark1)

* 1. [版权申明 10](#_bookmark2)
	2. [版本说明 10](#_bookmark3)

[2. 引用归档 10](#_bookmark4)

[3. JM7500 介绍 11](#_bookmark5)

[3.1. JM7500 概述 11](#_bookmark6)

* 1. [产品标识 12](#_bookmark7)
		1. [封装类型和设备标识 12](#_bookmark8)
		2. [商标格式 12](#_bookmark10)
1. [功能概述 13](#_bookmark12)
	1. [功能框图 14](#_bookmark13)
	2. [2D 加速特性 14](#_bookmark15)
	3. [3D 加速特性 15](#_bookmark16)
	4. [显示系统特性 16](#_bookmark17)
		1. [显示输出特性 17](#_bookmark19)
		2. [LVDS 输出接口特性 18](#_bookmark20)
		3. [DAC 输出接口特性 18](#_bookmark21)
		4. [HDMI 数字视频输出接口 18](#_bookmark22)
		5. [显示异常处理 19](#_bookmark23)
		6. [VGA BIOS 功能 19](#_bookmark24)
	5. [总线支持特性 19](#_bookmark25)
	6. [视频解码特性 19](#_bookmark26)
	7. [温度监控特性 20](#_bookmark27)
	8. [功耗管理特性 20](#_bookmark28)
	9. [外设接口特性 20](#_bookmark29)
	10. [异常报警特性 20](#_bookmark30)
2. [信号描述 21](#_bookmark31)
	1. [参考时钟和上电复位 21](#_bookmark32)
	2. [PCIE 总线接口 21](#_bookmark34)
	3. [LVDS 输出接口 21](#_bookmark36)
		1. [单通道 LVDS 信号映射表 23](#_bookmark38)
		2. [双通道 LVDS 信号映射表 24](#_bookmark40)
	4. [DAC 模拟视频输出接口 25](#_bookmark42)
		1. [采用专用管脚实现的功能信号 26](#_bookmark43)
		2. [复用 GPIO 实现的功能信号 27](#_bookmark45)
	5. [HDMI 输出接口 27](#_bookmark47)
		1. [采用专用管脚实现的功能信号 27](#_bookmark48)
		2. [复用 GPIO 实现的功能信号 28](#_bookmark50)
	6. [SPI 接口 28](#_bookmark52)
	7. [JTAG 测试接口 28](#_bookmark54)
	8. [PLL 测试接口 29](#_bookmark56)
	9. [温度传感器电压偏置 29](#_bookmark58)
	10. [DDR 存储器接口管脚 29](#_bookmark60)
	11. [上电配置接口(BOOT\_CONFIG) 30](#_bookmark62)
	12. [PWM 接口 31](#_bookmark64)
	13. [GPIO 接口 31](#_bookmark66)
3. [信号时序 32](#_bookmark68)
	1. [PCIE 总线时序 32](#_bookmark69)
	2. [上电复位与启动引导序列 32](#_bookmark70)
		1. [上电复位时序与定时 32](#_bookmark71)
		2. [标准引导启动序列 33](#_bookmark74)
	3. [PWM 输出 34](#_bookmark75)
	4. [SPI 接口时序 34](#_bookmark78)
4. [电气特性 36](#_bookmark81)
	1. [最大工作电压范围 36](#_bookmark82)
	2. [最大设计功耗 37](#_bookmark84)
	3. [上电掉电顺序 38](#_bookmark86)
	4. [GPIO 接口 39](#_bookmark87)
	5. [LVDS 接口特性 39](#_bookmark89)
	6. [VGA 接口特性 40](#_bookmark92)
		1. [VGA 接口电气特性 40](#_bookmark93)
		2. [满量程电流调节方法 41](#_bookmark95)
5. [机械特性 42](#_bookmark96)
	1. [JM7500 封装物理尺寸 42](#_bookmark97)
	2. [BGA 回流焊接工艺推荐 44](#_bookmark101)
6. [热阻信息 46](#_bookmark102)

[附录 A 管脚列表 47](#_bookmark103)

[附录 B 管脚分布 59](#_bookmark104)

**图目录**

[图 3-1 JM7500 商标格式 12](#_bookmark11)

[图 4-1 JM7500 功能框图 14](#_bookmark14)

[图 4-2 JM7500 显示系统顶层数据流框图 17](#_bookmark18)

[图 6-1 JM7500 上电复位时序 33](#_bookmark72)

[图 6-2 PWM 输出时序图 34](#_bookmark76)

[图 6-3 SPI 外设接口定时 35](#_bookmark79)

[图 7-1 LVDS 测试负载及输出波形示意图 40](#_bookmark91)

[图 0-1 JM7500 封装物理尺寸-顶部与横剖面视图 42](#_bookmark98)

[图 0-2 JM7500 封装物理尺寸-底视图 43](#_bookmark99)

# 表目录

[表 3-1 JM7500 封装信息 12](#_bookmark9)

[表 5-1 参考时钟和上电复位 21](#_bookmark33)

[表 5-2 PCIE 总线接口 21](#_bookmark35)

[表 5-3 LVDS 输出接口 21](#_bookmark37)

[表 5-4 单通道 LVDS 信号映射表 23](#_bookmark39)

[表 5-5 双通道 LVDS 信号映射表 24](#_bookmark41)

[表 5-6 DAC 模拟视频输出接口 26](#_bookmark44)

[表 5-7 DAC 模拟视频输出接口（采用复用 GPIO 管脚实现） 27](#_bookmark46)

[表 5-8 HDMI 输出接口 27](#_bookmark49)

[表 5-9 HDMI 输出接口（采用复用 GPIO 管脚实现） 28](#_bookmark51)

[表 5-10 SPI 接口 28](#_bookmark53)

[表 5-11 JTAG 测试接口 28](#_bookmark55)

[表 5-12 PLL 测试接口 29](#_bookmark57)

[表 5-13 温度传感器电压偏置信号 29](#_bookmark59)

[表 5-14 DDR 存储器接口管脚 29](#_bookmark61)

[表 5-15 上电配置管脚复用 30](#_bookmark63)

[表 5-16 PWM 接口 31](#_bookmark65)

[表 5-17 GPIO 接口的复用模式 31](#_bookmark67)

[表 6-1 JM7500 上电复位序列定时参数 33](#_bookmark73)

[表 6-2 PWM 定时说明 34](#_bookmark77)

[表 6-3 SPI 接口定时（时钟与数据相位关系） 35](#_bookmark80)

[表 7-1 最大工作电压范围 36](#_bookmark83)

[表 7-2 不同模块峰值功耗测量结果 38](#_bookmark85)

[表 7-3 3.3V GPIO 接口电气特性 39](#_bookmark88)

[表 7-4 LVDS 接口电气特性 39](#_bookmark90)

[表 7-5 VGA 接口中每个 DAC 接口电气特性 40](#_bookmark94)

[表 8-1 JM7500 芯片封装尺寸 43](#_bookmark100)

## 范围

* 1. 标识

本文件是长沙景美集成电路设计有限公司研制的图形处理芯片 JM7500 的数据手册。

* 1. 版权申明

本文档仅供长沙景美集成电路设计有限公司内部使用，未经长沙景美集成电路设计有限公司书面认可，不得全部或部分复制、传播、摘录、引用。

* 1. 版本说明

按照公司芯片归档的规定，本文件的版本编号格式如下：

JM7500\_Databook-m.n.k-yyyymmdd.hhmm

其中：JM7500\_Databook 为本文件代号，m 是主版本号，在文件进行重大内容变更时递增，递增时 n,k 清为零，n 为副版本号，在文件章节增减时递增，此时 k 清为零,k 为更新号，在文件任何更新后递增。yyyymmdd 为版本发行日期（年月日，不到十则补零），hhmm 为版本发行的时间（时分，24 小时制）。

## 引用归档

1）“芯片归档管理规范”，长沙景美集成电路设计有限公司，20110104。

1. JM7500 介绍
	1. JM7500 概述

JM7500 系列 GPU 能够高效的完成 2D、3D 图形加速功能。支持 OpenGL1.5/2.0，支持PCIE2.0 主机接口，支持五屏同时输出（二路 HDMI 接口、二路 VGA 接口、一路 LVDS 接口），支持 VGA BIOS，支持高清解码功能（H.264、VC-1、VP8、MPEG2 和 MPEG4）,片外最大可支持 4GB 的 DDR3 存储器，支持国产 CPU 和国产操作系统平台。

JM7500 是长沙景美集成电路设计有限公司推出的第二代具有完全自主知识产权的图形处理芯片，采用全新的架构设计，基于 28nm CMOS 工艺实现。芯片主要应用于个人办公，工业控制等领域。

### 主要特性： 1） 性能指标

* + - 工作主频：内核时钟频率 1000MHz，存储器时钟频率 800MHz；
		- 像素填充率：4 GP/s；
		- 纹理填充率：8 GT/s；
		- 存储器带宽：17 GB/s。**2） 电特性指标**
		- 工作电压：IO 部分 3.3V，内核部分 1.0V；
		- 功耗：10W。**3） 环境指标**
		- 工业级：-40oC ~ +85 oC；
		- ESD 等级（HBM）：2000V。**4） 工作温度（最大）：**125 oC **5） 扣合力压力最大值：**50psi **6） 封装形式**
		- 封装尺寸：23mmX23mm。
	1. 产品标识
		1. 封装类型和设备标识Vender ID 为 0x0731 Device ID 为 0x72XX。

表 3-1 JM7500 封装信息

|  |  |  |  |
| --- | --- | --- | --- |
| 产品名称 | 产品型号 | 主设备标识 | 封装 |
| 图形处理芯片 | JM7500 | 7200 | BGA |

* + 1. 商标格式

1

JINGJIA MICRO JM7500 GGGGGG YYWW

MWV206ASTAFGNI

2

3

4

5

**Notes:**

**1**、公司名及**log 2**、产品型号

**3**、生产批号

**4**、内部代号

**5**、**A1**脚位置

图 3-1 JM7500 商标格式

## 功能概述

本章描述了 JM7500 主要的子系统和接口。主要介绍以下几个方面：

* 2D 加速特性
* 3D 加速特性
* 显示系统特性
* 总线支持特性
* 视频解码特性
* 温度监控特性
* 功耗管理特性
* 外设接口特性
* 异常报警特性
	1. 功能框图

下图为 JM7500 主要模块的功能框图：



|  |  |  |
| --- | --- | --- |
| 中断控制系统复位时 钟 控 制 温度传感器*系统控制* |  | LVDS X 1 TMDS X2 VGA X 2四通道显示控制部件 高清视频解码2D图形加速部件 3D图形加速部件*图形生成及显示引擎* |
|  |
| PCI-E总线 多级片上互连结构接口 | 两组32位DDR3 存储控制器 接口 |
|  |
| *PLL*GPU时钟 互连时钟DDR3时钟 控制器时钟显示时钟 |  | *外设*I2C（4） PWM（1）SPI（1） GPIO(11)JTAG |

图 4-1 JM7500 功能框图

* 1. 2D 加速特性
		+ 支持 Linux 下 2D 桌面硬件加速显示；
		+ 高效的 128 位数据引擎，每个周期能同时处理多个像素；
		+ 绘直线，支持块拷贝（BiTBLT）、矩形填充、单色扩展、位掩码；
		+ 支持 ROP2，ROP3，ROP4 操作；
		+ 支持位块拉伸（Stretch BLT）；
		+ 支持 Alpha 混合，色键操作，图案掩码；
		+ 支持 32K x 32K 的 2D 光栅化坐标系统；
		+ 支持矩形块缩放，旋转，裁剪；
		+ 支持 32bpp/16bpp/8bpp 模式，支持源格式的色度空间转换；
		+ 硬件光标支持到 64x64x32-bpp，光标像素支持 ARGB8888 格式。
	2. 3D 加速特性
		+ 支持 OpenGL1.5/2.0 规范；
		+ 绘图缓存区最大支持 8192x8192；
		+ 含四条渲染流水线，每周期可产生 4 个像素；
		+ 支持命令和顶点的主动获取；
		+ 顶点序列支持坐标、主要色、次要色、法向量、两重纹理坐标、雾坐标和边界标志；
		+ 支持完整的 3D 图元：点、线段、三角形、条带、扇形、四边形、多边形， 支持平滑着色和单调着色；
		+ 独立的硬件几何变换单元，支持顶点的模型视图变换、透视变换，支持法线变换，支持纹理变换，支持颜色变换；
		+ 支持 8 光源的光照，支持环境光、散射光、镜面光和聚光灯，支持ColorMaterial；
		+ 雾化支持线性、指数、指数平方雾化因子；
		+ 支持 6 个用户自定义裁剪面；
		+ 支持纹理坐标自动生成的线性模式、球面映射模式、反射映射模式和法线模式；
		+ 在裁剪坐标下对点、线和三角形图元执行平截头体裁剪；
		+ 支持表面剔除；
		+ 支持多边形填充模式；
		+ 支持多边形偏移；
		+ 支持点画多边形；
		+ 支持线段的点画模式；
		+ 支持纹理的透视校正；
		+ 支持点的反走样和线段的反走样；
		+ 支持选择和反馈；
		+ 支持剪取测试、模板测试、深度测试和 Alpha 测试；
		+ 支持遮挡查询；
		+ 支持颜色掩码、深度掩码、模板掩码模式；
		+ 支持 32 种纹理图片格式和类型；
		+ 支持 S3TC 的 4 种压缩纹理格式：RGB\_DXT1、RGBA\_DXT1、RGBA\_DXT3\_EXT、RGBA\_DXT5；
		+ 支持点块纹理；
		+ 支持最大到 4096x4096 的纹理图片大小；
		+ 片内多级纹理 Cache 显著提高了图元的纹理映射性能；
		+ 支持点采样、双线性纹理过滤；
		+ 支持二维纹理；
		+ 支持两重纹理，支持独立配置；
		+ 支持 5 种纹理绕回模式：重复、截取、截取到边缘、截取到边框、镜像重复；
		+ 支持纹理边框，支持环境纹理；
		+ 支持灵活的纹理函数配置；
		+ 支持最大 8 个等级的 MipMap 纹理；
		+ 支持 24 位的深度缓存；
		+ 支持 8 位的模板缓存；
		+ 支持硬件色度缓存、深度缓存、模板缓存清除；
		+ 支持像素的逻辑操作；
		+ 支持位掩码操作；
		+ 像素存储格式支持 32bpp(ARGB8888)和 16bpp(RGB565)。
	3. 显示系统特性

JM7500 提供四路独立的图形显示控制器，最多五个独立的显示输出接口，分别是两个 DAC 显示输出接口、一个 LVDS 显示输出接口、两个单链路的 HDMI 显示输出接口。每个独立的显示输出接口，均可显示四路图形显示控制器中的任意一路，且视频输出格式可独立配置。

第0路视频输出通道 硬件光标

第0路视频输出通道 图形数据

混

合

定

时

VGA图形数据

第3路视频输出通道 硬件光标

第3路视频输出通道 图形数据

混

合

定

时

视频输出通道0~3

时序产生

色度校正

VBIOS

时序产生

视频输出多路选通

视频选择

色度校正

格式编码

HDMI多格式编码

LVDS格式编码

DAC模拟时序编码

AC模拟时序编码

图 4-2 JM7500 显示系统顶层数据流框图

… …

* + 1. 显示输出特性

四路独立的图形显示控制器特性如下：

* + - * 四路独立的图形显示控制器功能完全一致；
			* 四路独立的图形显示控制器的数据既可以来自图形生成模块，也可以为对应的四路单像素外视频中的一路；
			* 支持灵活多样的显示输出组合；
			* 每路图形显示控制器支持内同步（用户自定义同步时序）输出方式；
			* 每路显示控制器支持逐行与隔行两种输出方式；
			* 每路显示控制器分辨率最大支持到 4096x4096；
			* 每路显示控制器时钟频率最大支持到 750MHz；
			* 每路显示控制器支持调色板功能；
			* 每路显示控制器可分别调整同步时序，可以是不同的分辨率；一路同步时序的调整不影响另外一路正常显示；每路显示控制器时序支持 VESA 标准、自定义时序；
			* 上电或复位时，四路独立显示控制器默认输出 1024x768@60Hz 分辨率的蓝屏；
			* 每路显示控制器支持 RGB888 和 RGB565 两种模式；
			* 每路显示控制器色度校正支持快速寄存器方式；
			* 每路显示控制器上支持 24 位真彩色硬件光标，最大为 64x64，光标像素支持 ARGB8888 格式；
			* 每路显示控制器提供一个场同步中断。
		1. LVDS 输出接口特性
			- 支持两个符合 ANSI/TIA/EIA-644 标准的 LVDS 双链路（Link）输出端口；
			- 支持 24bit VESA 模式、24bit LDI 模式以及 18bit 三种数据组织模式；
			- 当不启用时，每个 LVDS 可单独进入低功耗省电模式；
			- LVDS 接口采用双链路（Link）输出包含 A/B 两个通道，可自由配置成双像素和单像素输出模式；
			- 配置为单像素时（启用单 Link 传输，信号在 A 通道传输，此时 B 通道闲置），最高像素频率可达 150Mhz；
			- 配置为双像素时（启用双 Link 传输，其中第一像素采用 A 通道传输，第二像素采用 B 通道传输），最高像素频率可达 300Mhz。
		2. DAC 输出接口特性
			- 每个输出接口均内置 3 个 10 位转换精度的数模转换器（DAC）；
			- 每个输出接口的 3 个 DAC 都自带独立的低功耗省电模式，可独立的关闭和打开分量输出；
			- 支持两个独立的 VGA 模拟视频信号输出；
			- DAC 内置了带隙、偏压以及满量程校准电路；
			- DAC 内置了负载自动检测电路；
			- DAC 最大时钟转换频率可达 240MHz。
		3. HDMI 数字视频输出接口
			- 包含两个 HDMI 单链路（Link）数字视频输出接口；
			- 每个 HDMI 可独立进入低功耗省电模式；
			- 支持工业标准 CEA-861B，包括 480p、720p、1080p；
			- HDMI 最大像素频率为 150MHz，分辨率 1920x1080@60Hz；
			- 支持 HDMI1.4 和 DVI1.0 标准。
		4. 显示异常处理

如果开启异常报警功能，将自动检测绘图异常情况，并根据相应的寄存器配置，对异常情况进行自动处置和发送异常中断：

* + - * 内置绘图看门狗；
			* 提供自动和外部控制下的异常处置画面切换；
			* 提供一个图形异常中断。
		1. VGA BIOS 功能

支持基本的 VGA 功能：

* + - * 标准的 VGA 以及 VBE3.0 扩展 BIOS 标准支持；
			* 支持外接 SPI FLASH 的方式存放 VBIOS 程序。
	1. 总线支持特性

JM7500 的 PCIE2.0 最高支持到 x8。

* + - 完全兼容 PCIE 2.0 规范；
		- 支持 x1、x2、x4、x8。
	1. 视频解码特性

支持多种格式的视频解码功能。

* + - 解码视频可做纹理显示；
		- 解码格式：
			* H.264、H.264 SVC、H.264 MVC Stereo High；
			* MPEG-4、MPEG-2、MPEG-1；
		- 输入数据格式
			* 多种解码格式的数据流；
			* MPEG-2 TS流；
		- 输出数据格式
			* YCbCr4:2:0，YCbCr4:2:2；
			* ARGB8888，RGB565，ARGB444；
		- 支持图像缩放、旋转、裁剪、叠加、去隔行以及融合；
		- 图像尺寸：16x16 到 4096x4096。
	1. 温度监控特性

片上集成一个温度传感器，用来实时测量芯片内核的温度。

* + - 温度测量精度±4℃；
	1. 功耗管理特性
		+ 每个主要功能模块的时钟都有一个独立的开启关断机制，可通过动态关闭空闲模块的时钟来有效的降低功耗。
	2. 外设接口特性

JM7500的外设接口支持包括：

* + - 4 组 I2C 主设备接口；
		- 1 组支持 SPI 接口；
		- 1 组 11 位 GPIO 接口；
		- 1 组 PWM 接口；
	1. 异常报警特性

如果开启异常报警功能，JM7500 将自动检测内置总线互联以及温度的异常情况。

* + - 内置芯片看门狗；
		- 可自动对芯片内部温度进行检测；
		- 可自动对芯片内部绘图引擎进行检测；
		- 当发生异常时，可根据软件配置流程，自动执行相应的处理过程。

## 信号描述

本章是对 JM7500 的各类信号进行描述。JM7500 芯片总共包含 368 个用户 IO。

* 1. 参考时钟和上电复位

表 5-1 参考时钟和上电复位

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WREF\_CLK | I | 参考时钟信号（100MHz），频率（Freq） 100MHz； 精度（Accuracy）±50ppm； 占空比（Duty）45~55%（max）；抖动（Jitter）200ps Cycle to Cycle。 |
| NWPOWERRESET | I | 上电复位，低电平复位 |
| NWINH | I | 内置看门狗禁止信号，低电平表示禁止 |

* 1. PCIE 总线接口

表 5-2 PCIE 总线接口

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| PCIE\_EXT\_CLK\_P | IO | PCIE 高速差分时钟对（＋） |
| PCIE\_EXT\_CLK\_N | IO | PCIE高速差分时钟对（－） |
| PCIE\_REFRES | IO | PCIE 外部参考阻抗 |
| PCIE\_TX\_P[7:0] | O | PCIE 高速差分输出对（＋） |
| PCIE\_TX\_M[7:0] | O | PCIE 高速差分输出对（－） |
| PCIE\_RX\_P[7:0] | I | PCIE 高速差分输入对（＋） |
| PCIE\_RX\_M[7:0] | I | PCIE 高速差分输入对（－） |

* 1. LVDS 输出接口

注：如果不使用 LVDS 接口，对应的接口信号可以不连接。详细信息请参见 ANSI/TIA/EIA-644 标准。

表 5-3 LVDS 输出接口

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WLVDS\_TACLKP | AO | LVDS 输出端口：A 通道时钟差分对（+） |
| WLVDS\_TACLKN | AO | LVDS 输出端口：A 通道时钟差分对（-） |

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WLVDS\_TA0P | AO | LVDS 输出端口：A 通道的 0 号差分对（+） |
| WLVDS\_TA0N | AO | LVDS 输出端口：A 通道的 0 号差分对（-） |
| WLVDS\_TA1P | AO | LVDS 输出端口：A 通道的 1 号差分对（+） |
| WLVDS\_TA1N | AO | LVDS 输出端口：A 通道的 1 号差分对（-） |
| WLVDS\_TA2P | AO | LVDS 输出端口：A 通道的 2 号差分对（+） |
| WLVDS\_TA2N | AO | LVDS 输出端口：A 通道的 2 号差分对（-） |
| WLVDS\_TA3P | AO | LVDS 输出端口：A 通道的 3 号差分对（+） |
| WLVDS\_TA3N | AO | LVDS 输出端口：A 通道的 3 号差分对（-） |
| WLVDS\_TBCLKP | AO | LVDS 输出端口：B 通道时钟差分对（+） |
| WLVDS\_TBCLKN | AO | LVDS 输出端口：B 通道时钟差分对（-） |
| WLVDS\_TB0P | AO | LVDS 输出端口：B 通道的 0 号差分对（+） |
| WLVDS\_TB0N | AO | LVDS 输出端口：B 通道的 0 号差分对（-） |
| WLVDS\_TB1P | AO | LVDS 输出端口：B 通道的 1 号差分对（+） |
| WLVDS\_TB1N | AO | LVDS 输出端口：B 通道的 1 号差分对（-） |
| WLVDS\_TB2P | AO | LVDS 输出端口：B 通道的 2 号差分对（+） |
| WLVDS\_TB2N | AO | LVDS 输出端口：B 通道的 2 号差分对（-） |
| WLVDS\_TB3P | AO | LVDS 输出端口：B 通道的 3 号差分对（+） |
| WLVDS\_TB3N | AO | LVDS 输出端口：B 通道的 3 号差分对（-） |
| WLVDS\_RTUNE | AI | LVDS 输出端口：偏置电流调谐输入（经 12KΩ 电阻后接地） |

* + 1. 单通道 LVDS 信号映射表

表 5-4 单通道 LVDS 信号映射表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **管脚名称** | **相位** | **18-Bit** | **24-Bit VESA** | **24-Bit LDI** |
| WLVDS\_TA0P/N | phase1 | R0 | R0 | R2 |
| phase2 | R1 | R1 | R3 |
| phase3 | R2 | R2 | R4 |
| phase4 | R3 | R3 | R5 |
| phase5 | R4 | R4 | R6 |
| phase6 | R5 | R5 | R7 |
| phase7 | G0 | G0 | G2 |
| WLVDS\_TA1P/N | phase1 | G1 | G1 | G3 |
| phase2 | G2 | G2 | G4 |
| phase3 | G3 | G3 | G5 |
| phase4 | G4 | G4 | G6 |
| phase5 | G5 | G5 | G7 |
| phase6 | B0 | B0 | B2 |
| phase7 | B1 | B1 | B3 |
| WLVDS\_TA2P/N | phase1 | B2 | B2 | B4 |
| phase2 | B3 | B3 | B5 |
| phase3 | B4 | B4 | B6 |
| phase4 | B5 | B5 | B7 |
| phase5 | HSYNC | HSYNC | HSYNC |
| phase6 | VSYNC | VSYNC | VSYNC |
| phase7 | DATA\_ENABLE | DATA\_ENABLE | DATA\_ENABLE |
| WLVDS\_TA3P/N | phase1 | Not\_used | R6 | R0 |
| phase2 | Not\_used | R7 | R1 |
| phase3 | Not\_used | G6 | G0 |
| phase4 | Not\_used | G7 | G1 |
| phase5 | Not\_used | B6 | B0 |
| phase6 | Not\_used | B7 | B1 |
| phase7 | Not\_used | Not\_used | Not\_used |

注：1、此时 B 通道闲置；

2、18Bit 模式时，R、G、B 分量各有 6 位，其中 R5、G5、B5 分别表示红绿蓝色分量中的最高有效位（Most Significant Bit）；

3、24Bit 模式时，R、G、B 分量各有 8 位，其中 R7、G7、B7 分别表示红绿蓝色分量中的最高有效位（Most Significant Bit）；

4、HSYNC、VSYNC、DATA\_ENABLE 分别表示行同步、场同步、有效视频数据。

* + 1. 双通道 LVDS 信号映射表

表 5-5 双通道 LVDS 信号映射表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **管脚名称** | **相位** | **18-bit** | **24-bit VESA** | **24-bit LDI** |
| WLVDS\_TA0P/N | phase1 | R0\_0 | R0\_0 | R2\_0 |
| phase2 | R1\_0 | R1\_0 | R3\_0 |
| phase3 | R2\_0 | R2\_0 | R4\_0 |
| phase4 | R3\_0 | R3\_0 | R5\_0 |
| phase5 | R4\_0 | R4\_0 | R6\_0 |
| phase6 | R5\_0 | R5\_0 | R7\_0 |
| phase7 | G0\_0 | G0\_0 | G2\_0 |
| WLVDS\_TA1P/N | phase1 | G1\_0 | G1\_0 | G3\_0 |
| phase2 | G2\_0 | G2\_0 | G4\_0 |
| phase3 | G3\_0 | G3\_0 | G5\_0 |
| phase4 | G4\_0 | G4\_0 | G6\_0 |
| phase5 | G5\_0 | G5\_0 | G7\_0 |
| phase6 | B0\_0 | B0\_0 | B2\_0 |
| phase7 | B1\_0 | B1\_0 | B3\_0 |
| WLVDS\_TA2P/N | phase1 | B2\_0 | B2\_0 | B4\_0 |
| phase2 | B3\_0 | B3\_0 | B5\_0 |
| phase3 | B4\_0 | B4\_0 | B6\_0 |
| phase4 | B5\_0 | B5\_0 | B7\_0 |
| phase5 | HSYNC | HSYNC | HSYNC |
| phase6 | VSYNC | VSYNC | VSYNC |
| phase7 | DATA\_ENABLE | DATA\_ENABLE | DATA\_ENABLE |
| WLVDS\_TA3P/N | phase1 | Not\_used | R6\_0 | R0\_0 |
| phase2 | Not\_used | R7\_0 | R1\_0 |
| phase3 | Not\_used | G6\_0 | G0\_0 |
| phase4 | Not\_used | G7\_0 | G1\_0 |
| phase5 | Not\_used | B6\_0 | B0\_0 |
| phase6 | Not\_used | B7\_0 | B1\_0 |
| phase7 | Not\_used | Not\_used | Not\_used |
| WLVDS\_TB0P/N | phase1 | R0\_1 | R0\_1 | R2\_1 |
| phase2 | R1\_1 | R1\_1 | R3\_1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **管脚名称** | **相位** | **18-bit** | **24-bit VESA** | **24-bit LDI** |
|  | phase3 | R2\_1 | R2\_1 | R4\_1 |
| phase4 | R3\_1 | R3\_1 | R5\_1 |
| phase5 | R4\_1 | R4\_1 | R6\_1 |
| phase6 | R5\_1 | R5\_1 | R7\_1 |
| phase7 | G0\_1 | G0\_1 | G2\_1 |
| WLVDS\_TB1P/N | phase1 | G1\_1 | G1\_1 | G3\_1 |
| phase2 | G2\_1 | G2\_1 | G4\_1 |
| phase3 | G3\_1 | G3\_1 | G5\_1 |
| phase4 | G4\_1 | G4\_1 | G6\_1 |
| phase5 | G5\_1 | G5\_1 | G7\_1 |
| phase6 | B0\_1 | B0\_1 | B2\_1 |
| phase7 | B1\_1 | B1\_1 | B3\_1 |
| WLVDS\_TB2P/N | phase1 | B2\_1 | B2\_1 | B4\_1 |
| phase2 | B3\_1 | B3\_1 | B5\_1 |
| phase3 | B4\_1 | B4\_1 | B6\_1 |
| phase4 | B5\_1 | B5\_1 | B7\_1 |
| phase5 | HSYNC 或 CNTLE | HSYNC 或 CNTLE | HSYNC 或 CNTLE |
| phase6 | VSYNC 或 CNTLF | VSYNC 或 CNTLF | VSYNC 或 CNTLF |
| phase7 | DATA\_ENABLE | DATA\_ENABLE | DATA\_ENABLE |
| WLVDS\_TB3P/N | phase1 | Not\_used | R6\_1 | R0\_1 |
| phase2 | Not\_used | R7\_1 | R1\_1 |
| phase3 | Not\_used | G6\_1 | G0\_1 |
| phase4 | Not\_used | G7\_1 | G1\_1 |
| phase5 | Not\_used | B6\_1 | B0\_1 |
| phase6 | Not\_used | B7\_1 | B1\_1 |
| phase7 | Not\_used | Not\_used | Not\_used |

注：1、Rx\_0/Gx\_0/Bx\_0 表示第一像素，Rx\_1/Gx\_1/Bx\_1 表示第二像素； 2、CNTLE、CNTLF 可通过寄存器配置

* 1. DAC 模拟视频输出接口

VGA 接口中模拟输出和同步信号采用专用接口管脚输出，显示器 DDC 读取接口复用GPIO 输出。

* + 1. 采用专用管脚实现的功能信号

表 5-6 DAC 模拟视频输出接口

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |

第一路 DAC 输出接口：

|  |  |  |
| --- | --- | --- |
| WDAC\_0\_R\_IDACWP | AO | 第一路 DAC 输出接口：R 通道正极性电流输出 |
| WDAC\_0\_G\_IDACUP | AO | 第一路 DAC 输出接口：G 通道正极性电流输出 |
| WDAC\_0\_B\_IDACVP | AO | 第一路 DAC 输出接口：B 通道正极性电流输出 |
| WDAC\_0\_REXTP | AO | 第一路 DAC 输出接口：模拟校准电流输出, 通过Rref 电阻绕回到 REXTN；Rref 电阻用于 DAC 满量程电流校对（Rref 典型值为 2.87kΩ,对应满量程电流 27mA,范围在 2.27 kΩ~4.45 kΩ） |
| WDAC\_0\_REXTN | AI | 第一路 DAC 输出接口：模拟校准电流输入 |
| WDAC\_0\_HS | O | 第一路 DAC 输出接口：行同步信号 |
| WDAC\_0\_VS | O | 第一路 DAC 输出接口：场同步信号 |

第二路 DAC 输出接口：

|  |  |  |
| --- | --- | --- |
| WDAC\_1\_R\_IDACWP | AO | 第二路 DAC 输出接口：R 通道正极性电流输出 |
| WDAC\_1\_G\_IDACUP | AO | 第二路 DAC 输出接口：G 通道正极性电流输出 |
| WDAC\_1\_B\_IDACVP | AO | 第二路 DAC 输出接口：B 通道正极性电流输出 |
| WDAC\_1\_REXTP | AO | 第二路 DAC 输出接口：模拟校准电流输出, 通过Rref 电阻绕回到 REXTN；Rref 电阻用于 DAC 满量程电流校对（Rref 典型值为 2.87kΩ,对应满量程电流 27mA,范围在 2.27 kΩ~4.45 kΩ） |
| WDAC\_1\_REXTN | AI | 第二路 DAC 输出接口：模拟校准电流输入 |
| WDAC\_1\_HS | O | 第二路 DAC 输出接口：行同步信号 |
| WDAC\_1\_VS | O | 第二路 DAC 输出接口：场同步信号 |

注：1、DAC 输出 RGB 分量采用正极性电流输出；

2、Rref 电阻选型与阻值计算请参看“7.6.2 满量程电流调节方法”。

* + 1. 复用 GPIO 实现的功能信号

表 5-7 DAC 模拟视频输出接口（采用复用 GPIO 管脚实现）

|  |  |  |
| --- | --- | --- |
| **功能信号名称** | **类型** | **描述** |
| WDAC\_0\_SCL | IO | 第一路DAC输出接口：DDC时钟信号 |
| WDAC\_0\_SDA | IO | 第一路DAC输出接口：DDC数据信号 |
| WDAC\_1\_SCL | IO | 第二路DAC输出接口：DDC时钟信号 |
| WDAC\_1\_SDA | IO | 第二路DAC输出接口：DDC数据信号 |

注：1、功能信号的具体复用方案，参看 GPIO 接口

* 1. HDMI 输出接口
		1. 采用专用管脚实现的功能信号

表 5-8 HDMI 输出接口

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |

第一路 HDMI 输出接口：

|  |  |  |
| --- | --- | --- |
| WHDMI0\_TX0P | AO | 第一路 HDMI 输出端口：0 号数据差分对（＋） |
| WHDMI0\_TX0N | AO | 第一路 HDMI 输出端口：0 号数据差分对（－） |
| WHDMI0\_TX1P | AO | 第一路 HDMI 输出端口：1 号数据差分对（＋） |
| WHDMI0\_TX1N | AO | 第一路 HDMI 输出端口：1 号数据差分对（－） |
| WHDMI0\_TX2P | AO | 第一路 HDMI 输出端口：2 号数据差分对（＋） |
| WHDMI0\_TX2N | AO | 第一路 HDMI 输出端口：2 号数据差分对（－） |
| WHDMI0\_TXCKP | AO | 第一路 HDMI 输出接口：时钟差分对（＋） |
| WHDMI0\_TXCKN | AO | 第一路 HDMI 输出接口：时钟差分对（-） |
| WHDMI0\_BIAS | AI | 第一路 HDMI 输出接口：板上偏置电阻（240 Ω），1.8V 模拟电压上拉 |

第二路 HDMI 输出接口：

|  |  |  |
| --- | --- | --- |
| WHDMI1\_TX0P | AO | 第二路 HDMI 输出端口：0 号数据差分对（＋） |
| WHDMI1\_TX0N | AO | 第二路 HDMI 输出端口：0 号数据差分对（－） |
| WHDMI1\_TX1P | AO | 第二路 HDMI 输出端口：1 号数据差分对（＋） |
| WHDMI1\_TX1N | AO | 第二路 HDMI 输出端口：1 号数据差分对（－） |
| WHDMI1\_TX2P | AO | 第二路 HDMI 输出端口：2 号数据差分对（＋） |
| WHDMI1\_TX2N | AO | 第二路 HDMI 输出端口：2 号数据差分对（－） |
| WHDMI1\_TXCKP | AO | 第二路 HDMI 输出接口：时钟差分对（＋） |

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WHDMI1\_TXCKN | AO | 第二路 HDMI 输出接口：时钟差分对（-） |
| WHDMI1\_BIAS | AI | 第二路 HDMI 输出接口：板上偏置电阻（240 Ω），1.8V 模拟电压上拉 |

* + 1. 复用 GPIO 实现的功能信号

表 5-9 HDMI 输出接口（采用复用 GPIO 管脚实现）

|  |  |  |  |
| --- | --- | --- | --- |
| **功能信号名称** | **类型** | **描述** |  |
| WHDMI0\_SCL | IO | 第一路HDMI输出端口: DDC时钟信号 |
| WHDMI0\_SDA | IO | 第一路HDMI输出端口: DDC数据信号 |
| WHDMI0\_HPD | I | 第一路HDMI输出端口:负载热插拔（Hot PlugDetect）检测端 |
| WHDMI1\_SCL | IO | 第二路HDMI输出端口: DDC时钟信号 |
| WHDMI1\_SDA | IO | 第二路HDMI输出端口: DDC数据信号 |
| WHDMI1\_HPD | I | 第二路HDMI输出端口:负载热插拔（Hot PlugDetect）检测端 |

注：1、功能信号的具体复用方案，参看 GPIO 接口。

* 1. SPI 接口

表 5-10 SPI 接口

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WSPI0\_MISO | I | SPI 总线：数据输入信号 |
| WSPI0\_SCLK | O | SPI 总线：时钟信号 |
| WSPI0\_MOSI | O | SPI 总线：数据输出信号 |
| WSPI0\_CS0 | O | SPI 总线：片选信号 |

* 1. JTAG 测试接口

表 5-11 JTAG 测试接口

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WJTAG\_TCLK | I | JTAG 的测试时钟，正常工作时拉低,建议使用1.0K 电阻连接到地。 |
| NWJTAG\_TRST | I | JTAG 的测试复位，正常工作时拉低, 建议使用1.0K 电阻连接到地。 |
| WJTAG\_TMS | I | JTAG 的测试模式选择（当复位信号拉低时，可悬 |

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
|  |  | 空） |
| WJTAG\_TDI | I | JTAG 的测试数据输入（当复位信号拉低时，可悬空） |
| WJTAG\_TDO | O | JTAG 的测试数据输出（可悬空） |

* 1. PLL 测试接口

表 5-12 PLL 测试接口

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WPLL\_CLKOUT\_N | O | PLL 时钟输出测试管脚：锁相环锁定信号 |

* 1. 温度传感器电压偏置

表 5-13 温度传感器电压偏置信号

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WVTSENS\_IOBS | O | 温度传感器电压校准参考电流输出 |
| VREFPOS\_VTSENS | I | 传感器校准时，需要的精确数字电压与内核电压（VDD10）控制在 1％以内（无电流要求） |
| VREFNEG\_VTSENS | I | 传感器校准时，需要的精确数字地与内核数字地（GND）控制在 1％以内。 |

* 1. DDR 存储器接口管脚

表 5-14 DDR 存储器接口管脚

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |

第一组 DDR 存储器接口

|  |  |  |
| --- | --- | --- |
| WMEM\_0\_VREF | I | DDR 控制器物理层的对地参考电压 |
| BMEM\_0\_CLK\_P[0] | O | DDR 颗粒差分时钟（+） |
| BMEM\_0\_CLK\_N[0] | O | DDR 颗粒差分时钟（-） |
| WMEM\_0\_CKE | O | DDR 颗粒时钟使能 |
| WMEM\_0\_RESET\_N | O | DDR 颗粒复位信号 |
| WMEM\_0\_CS\_N | O | DDR 颗粒片选信号 |
| WMEM\_0\_RAS\_N | O | DDR 颗粒行访问命令 |

|  |  |  |
| --- | --- | --- |
| **管脚名称** | **类型** | **描述** |
| WMEM\_0\_CAS\_N | O | DDR 颗粒列访问命令 |
| WMEM\_0\_WE\_N | O | DDR 颗粒写访问命令 |
| BMEM\_0\_ADDR[15:0] | O | DDR 颗粒地址总线 |
| BMEM\_0\_BADDR[2:0] | O | DDR 颗粒 bank 地址总线 |
| BMEM\_0\_DQ[31:0] | IO | DDR 颗粒数据总线 |
| BMEM\_0\_DQS\_P[3:0] | IO | DDR 颗粒数据选通差分信号（+） |
| BMEM\_0\_DQS\_N[3:0] | IO | DDR 颗粒数据选通差分信号（-） |
| BMEM\_0\_DM[3:0] | IO | DDR 颗粒数据掩码 |
| WMEM\_0\_ODT | IO | DDR 颗粒数据 ODT 控制 |

第二组 DDR 存储器接口

|  |  |  |
| --- | --- | --- |
| WMEM\_1\_VREF | I | DDR 控制器物理层的对地参考电压 |
| BMEM\_1\_CLK\_P[0] | O | DDR 颗粒差分时钟（+） |
| BMEM\_1\_CLK\_N[0] | O | DDR 颗粒差分时钟（-） |
| WMEM\_1\_CKE | O | DDR 颗粒时钟使能 |
| WMEM\_1\_RESET\_N | O | DDR 颗粒复位信号 |
| WMEM\_1\_CS\_N |  | DDR 颗粒片选信号 |
| WMEM\_1\_RAS\_N | O | DDR 颗粒行访问命令 |
| WMEM\_1\_CAS\_N | O | DDR 颗粒列访问命令 |
| WMEM\_1\_WE\_N | O | DDR 颗粒写访问命令 |
| BMEM\_1\_ADDR[15:0] | O | DDR 颗粒地址总线 |
| BMEM\_1\_BADDR[2:0] | O | DDR 颗粒 bank 地址总线 |
| BMEM\_1\_DQ[31:0] | IO | DDR 颗粒数据总线 |
| BMEM\_1\_DQS\_P[3:0] | IO | DDR 颗粒数据选通差分信号（+） |
| BMEM\_1\_DQS\_N[3:0] | IO | DDR 颗粒数据选通差分信号（-） |
| BMEM\_1\_DM[3:0] | IO | DDR 颗粒数据掩码 |
| WMEM\_1\_ODT | IO | DDR 颗粒数据 ODT 控制 |

* 1. 上电配置接口(BOOT\_CONFIG)

表 5-15 上电配置管脚复用

|  |  |
| --- | --- |
| **管脚名称** | **描述** |
| BBOOT\_CFG[0] | 上电复位结束后，内部高性能控制器是否启动：0：不启动；1：启动 |
| BBOOT\_CFG[1] | BBOOT\_CFG [2:1]内部高性能控制器第一阶段启动方式： |
| BBOOT\_CFG[2] |

|  |  |
| --- | --- |
|  | 0：内部ROM；1：外部SPI Flash； |
| BBOOT\_CFG[3] | 保留，拉高 |
| BBOOT\_CFG[4] | 保留，拉低 |
| BBOOT\_CFG[5] | 保留，拉低 |
| BBOOT\_CFG[6] | 保留，拉低 |

注：保留管脚参考硬件原理图布线方案。

* 1. PWM 接口

PWM 接口采用 GPIO 复用实现。

表 5-16 PWM 接 口

|  |  |  |
| --- | --- | --- |
| 功能信号名称 | 类型 | 描述 |
| WPWM | O | PWM输出 |

* 1. GPIO 接口

各个 GPIO 管脚的复用设置完全独立控制，各个管脚功能单元复用互不影响，系统可根据不同的应用模式进行配置。

表 5-17 GPIO 接口的复用模式

|  |  |  |  |
| --- | --- | --- | --- |
| **管脚名称** | **类型** | **复用单元描述** | **复用接口管脚** |
| WGPIO\_HDMI0\_SCL | IO | HDMI接口 | WHDMI0\_SCL |
| WGPIO\_HDMI0\_SDA | IO | HDMI接口 | WHDMI0\_SDA |
| WGPIO\_HDMI0\_HPD | IO | HDMI接口 | WHDMI0\_HPD |
| WGPIO\_HDMI1\_SCL | IO | HDMI接口 | WHDMI1\_SCL |
| WGPIO\_HDMI1\_SDA | IO | HDMI接口 | WHDMI1\_SDA |
| WGPIO\_HDMI1\_HPD | IO | HDMI接口 | WHDMI1\_HPD |
| WGPIO\_PWM | IO | PWM输出 | WPWM |
| WGPIO\_DAC0\_SCL | IO | DAC模拟视频 | WDAC0\_SCL |
| WGPIO\_DAC0\_SDA | IO | DAC模拟视频 | WDAC0\_SDA |
| WGPIO\_DAC1\_SCL | IO | DAC模拟视频 | WDAC1\_SCL |
| WGPIO\_DAC1\_SDA | IO | DAC模拟视频 | WDAC1\_SDA |

## 信号时序

这一章描述 JM7500 图形处理芯片的总线和存储器的时序规范。

* 1. PCIE 总线时序

参见“PCIE2.0 规范”。

* 1. 上电复位与启动引导序列
		1. 上电复位时序与定时
			1. 芯片上电复位信号（NWPOWERRESET）拉低；
			2. 参考时钟（WREF\_CLK）开始稳定的振荡输入；
			3. 外部输出管脚（ PAD ） 按照输出协议输出默认值， 芯片上电复位输出信号

（NWRESET\_REQ）输出稳定的低电平复位信号；

* + - 1. 芯片上电复位信号（NWPOWERRESET）拉高（上电复位拉低时间必须从芯片电源和参考时钟稳定后开始计算，其复位时间不小于 1ms）；
			2. 芯片内部撤销上电配置采样模块复位信号，上电采样模块获取芯片上电启动配置；
			3. 芯片撤销 PLL 模块复位，启动 PLL 时钟输出和锁定检测功能；
			4. 芯片撤销内部全局复位信号；
			5. 芯片内部根据上电启动配置，执行和生成各模块对应的复位时序。

上电

 电源稳定

外部复位撤消

参考时钟稳定

2周期

8周期

采样配置管脚

2176周期

所有PLL锁定

芯片自启动过程

（此过程由启动配置程序管理）

芯片内核就绪

芯片内部复位输出

T1

T2

T3 T4

T5 T6

T7

T8

nwPowerReset

wRef\_Clk

（100MHz）

nwReset\_ref 只复位BootCtrl和

Power\_sample两个模块

wSample\_valid 采样配置管脚

nwReset\_pll 复位PLL模块

nwReset\_core 内部复位

nwReset\_Req 内部复位输出

图 6-1 JM7500 上电复位时序表 6-1 JM7500 上电复位序列定时参数

|  |  |  |
| --- | --- | --- |
| **符****号** |  | **描述** |
| T1 | 芯片上电复位有效 | 芯片上所有输出管脚均为三态状态 |
| T2 | 外部输入的参考时钟稳定 | 外部输入的参考时钟稳定为 100MHz |
| T3 | 芯片上电复位撤销 | 外部输入的上电复位撤销（T2 ～ T3需维持 5us以上） |
| T4 | 撤销上电采样模块复位 | 上电采样模块准备获取上电启动配置（T3 ～ T4 时间可忽略不计） |
| T5 | 上电采样模块完成 | 上电采样模块获取芯片上电启动配置（T4 ～ T5时间可忽略不计） |
| T6 | 撤销 PLL 模块复位 | PLL 撤销复位，PLL 开始振荡(T5 ～ T6 时间可忽略不计） |
| T7 | 内部复位完成 | PLL锁定，内部复位结束，开始执行内部各模块的自启动过程（T6 ～ T7时间为25us） |
| T8 | 配置 PCIE 使能信号 | 内部各模块均就绪，PCIE 可以接收外部访问 |

* + 1. 标准引导启动序列
			1. 芯片上电复位信号（NWPOWERRESET）拉低；
			2. 参考时钟（WREF\_CLK）开始稳定的振荡输入；
			3. 外部输出管脚（PAD）按照输出协议输出默认值；
			4. 芯片上电复位信号（NWPOWERRESET）拉高（上电复位有效时间必须从芯片电源和参考时钟稳定后开始计算，其复位时间不小于 1ms）；
			5. 芯片根据芯片上电启动配置，芯片内部装载各锁相环（PLL）的初始设定值，并启动 PLL 振荡和锁定检测过程，同时开启芯片内部全局复位信号；
			6. 开启 PLL 锁定定时器，定时 2 微秒（确保所有 PLL 都已锁定后），撤销芯片内部全局复位信号；
			7. 芯片内部根据上电启动配置，执行相应各模块的自启动和高速通道校正过程（此过程不超过 200 毫秒），芯片上电初始化操作完毕作为 PCIE 从设备，等待执行 PCIE 接口的命令。
	1. PWM 输出

芯片内置一路 PWM 输出，PWM 输出的启用、脉冲周期(T\_Cycle)以及高电平时间

（T\_Duty）均可以独立配置。



图 6-2 PWM 输出时序图

表 6-2 PWM 定时说明

|  |  |  |  |
| --- | --- | --- | --- |
| **符号** | **描述** | **最小值** | **最大值** |
| T\_Cycle | 脉冲宽度 | 50ns | ～ |
| T\_Duty | 高电平时间占周期的比率 | 20％ | 80％ |

* 1. SPI 接口时序

SPI 总线可用于内置主控制器读取启动配置程序。在上电自启动时序,内置主控制器会自动按照不高于 20MHz 的时钟频率从 SPI\_Flash 读取启动配置程序。读取时序如下图

所示，先拉低片选信号，然后启动串行时钟，发送命令并且接收数据。芯片可在软件驱动控制下，通过 SPI 接口访问外部多种 SPI 设备。

SPI\_CS

T0

T1

T4

T2

Cmd

Address

T3

Dataout

Dataout

SPI\_CLK

SPI\_MOSI

SPI\_MISO

图 6-3 SPI 外设接口定时表 6-3 SPI 接口定时（时钟与数据相位关系）

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **符****号** | **描述** | **最小****值** | **典型****值** | **最大值** | **单****位** |

内置主控制器自启动定时参数

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| T0 | 片选线拉低到时钟有效的时间 |  | 60 |  | ns |
| T1 | 时钟周期 |  | 55 |  | ns |
| T2 | 芯片命令发送：时钟下降延到输出有效的延时 |  | 10 |  | ns |
| T3 | 下游芯片数据发送：时钟下降沿到数据到达的时间 |  |  | 30 | ns |
| T4 | 传输结束到片选拉高的延时 |  | 55 |  | ns |

软件驱动定时参数

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| T0 | 片选线拉低到时钟有效的时间 | 20 |  |  | ns |
| T1 | 时钟周期 | 20 |  |  | ns |
| T2 | 芯片命令发送：时钟下降延到输出有效的延时 |  |  | 6 | ns |
| T3 | 下游芯片数据发送：时钟下降沿到数据到达的时间 |  |  | T1 - 10 | ns |
| T4 | 传输结束到片选拉高的延时 | 20 |  |  | ns |

## 电气特性

本章主要是对 JM7500 的电气特性进行描述，除非另有其他规定，否则本章中所列出的所有电压值都是参考地电压（VSS）的计算结果。

* 1. 最大工作电压范围

注意：下表所述的最大范围是最大值，当超出下表所示规范的条件下，不保证器件能够正常工作。超出下表中所述的绝对最大值可能会导致器件永久性损坏。长期在最大值条件下工作会影响器件的可靠性。

表 7-1 最大工作电压范围

|  |  |  |  |
| --- | --- | --- | --- |
| **电源** | **额定范围** | **推荐值** | **纹波控制** |
| 内核电压（VDD10） | 0.95V 至 1.05V | 1.0V | ±3％ |
| IO 电压（VDD33\_IO） | 2.7 V 至 3.6 V | 3.3V | ±3％ |
| 衬底偏置正压（VREFPOS\_BODYBIAS） | 0V 至 0.6V | 0V | ±3％ |
| 衬底偏置负压（VREFNEG\_BODYBIAS） | -0.6V 至 0V | 0V | ±3％ |
| 存储器 IO 电压（VDD15\_DDR\_IO） | 1.425 V 至1.575 V | 1.5V | ±2％ |
| 存储器对地参考电压（DDR\_VREFCA，DDR\_VREFDQ，WMEM\_\*\_VREF） | VDD15\_DDR\_IO\* 0.5 | 0.75V | ±2％ |
| 存储器锁相环模拟电压（AVDD18\_DDR\_PLL\*） | 1.71V 至 1.89V | 1.8V | ±2％ |
| 存储器数字电压（VDD10\_DDR） | 0.95V 至 1.05V | 1.0V | ±3％ |
| 系统锁相环数字电压（VDD10\_PLL\_POST, VDD10\_PLL\*\_REF） | 0.95V 至 1.05V | 1.0V | ±3％ |
| 系统锁相环模拟电压（AVDD18\_PLL\*\_HV） | 1.71V 至 1.89V | 1.8V | ±2％ |
| VDAC 模拟电压（AVDD18\_DAC\*\_REF， AVDD18\_DAC\*\_U , AVDD18\_DAC0\_V,AVDD18\_DAC\*\_W） | 1.71V 至 1.89V | 1.8V | ±2％ |

|  |  |  |  |
| --- | --- | --- | --- |
| **电源** | **额定范围** | **推荐值** | **纹波控制** |
| VDAC 数字电压（VDD10\_DAC\*） | 0.95V 至 1.05V | 1.0V | ±3％ |
| LVDS 锁相环模拟电压（AVDD18\_LVDS\_PLL） | 1.71V 至 1.89V | 1.8V | ±2％ |
| LVDS 模拟电压（AVDD25\_LVDS\_TX） | 2.37 V 至 2.63 V | 2.5V | ±2％ |
| LVDS 数字电压（VDD10\_LVDS） | 0.95V 至 1.05V | 1.0V | ±3％ |
| HDMI 数字电压（VDD10\_HDMI） | 0.95V 至 1.05V | 1.0V | ±3％ |
| HDMI 模拟电压（AVDD18\_HDMI\_BIAS, AVDD18\_HDMI\_PLL） | 1.71V 至 1.89V | 1.8V | ±2％ |
| HDMI 模拟电压（AVDD10\_HDMI） | 0.95V 至 1.05V | 1.0V | ±3％ |
| PCIE 模拟电压（AVDD10\_PCIE\_RX\*） | 0.95V 至 1.05V | 1.0V | ±3％ |
| PCIE 模拟电压（AVDD10\_PCIE\_TX\*） | 0.95V 至 1.05V | 1.0V | ±3％ |
| PCIE 模拟电压（AVDD10\_PCIE\_CS\*） | 0.95V 至 1.05V | 1.0V | ±3％ |
| OTP 模拟电压（AVDD18\_OTP） | 1.71V 至 1.89V | 1.8V | ±2％ |
| VTSENS 模拟电压（AVDD18\_VTSENS） | 1.71V 至 1.89V | 1.8V | ±2％ |
| SDMMC IO 电压（VDD33\_SDMMC） | 2.7V 至 3.6V | 3.3V | ±3％ |
| 1.71V 至 1.89V | 1.8V | ±2％ |
| 1.8V 模拟偏置电压（BIAS18） | 1.71V 至 1.89V | 1.8V | ±2％ |

注：1、衬底偏置电压（VREFPOS\_BODYBIAS、VREFNEG\_BODYBIAS）配置，需要对应正负同时配置； 2、内核电压（VDD10）在 0.9V~0.95V 时，衬底偏置电压需设置为±0.6V。

* 1. 最大设计功耗

下表所列的数据是在某些确定条件下各种不同电源电压的峰值功耗测量结果。这个结果只能作为实际使用情况的一个指导，并不是所有条件下的绝对最大功耗值。如果需要使用到更加优化的驱动条件，更加快速的 CPU 或者其它新的应用功能，建议设计者再加入一定的功耗余量。

表 7-2 不同模块峰值功耗测量结果

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **内核电压** | **绘图引擎速率** | **DDR 速率** | **内部总线速率** | **内核功耗** | **全芯片功耗** | **衬底偏压** |
| **1.0V** | **1000 M** | **1600M** | **550M** | **5W** | **8.35W** | **0V** |

* 1. 上电掉电顺序

本芯片推荐所有不同电源电压能够做到同时上电。

* 1. GPIO 接口

表 7-3 3.3V GPIO 接口电气特性

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **参数** | **描述** | **条件** | **最小值** | **典型值** | **最大值** | **单位** |
| VIL | 低电平输入电压 | - | -0.3 | - | 0.8 | V |
| VIH | 高电平输入电压 | - | 2.0 | - | VVDD33\_IO+0. 3 | V |
| VOH | 高电平输出电压 | IOH=2mA | 0.8\*VVDD33\_IO | - | - | V |
| VOL | 低电平输出电压 | IOL=2mA | - | - | 0.2\*VVDD33\_IO | V |
| IOH | 输出高电平驱动电流 | VO=VOH | 2 | - | 12 | mA |
| IOL | 输出低电平驱动电流 | VO=VOL | 2 | - | 12 | mA |
| Cp | 电容 |  |  |  | 2 | pF |

* 1. LVDS 接口特性

表 7-4 LVDS 接口电气特性

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **参数** | **描述** | **测试条件** | **最小值** | **典型值** | **最大值** | **单位** |
| VIT | 输入阈值电压 | - | - | 1.2 | - | V |
| |VOD| | 差分恒稳态输出电压幅度 | RL = 100Ω如[图 7-1](#_bookmark91) 所示 | 247 | - | 454 | mV |
| Δ|VOD| | 差分恒稳态输出电压幅度变化 | - | - | 50 | mV |
| VOC(SS) | 稳态共模输出电压 | 如[图 7-1](#_bookmark91) 所示 | 1.125 | - | 1.375 | V |
| VOC(PP) | 峰峰共模输出电压 | - | - | 150 | mV |
| IOS | 短路输出电流 | VO = 0 | - |  | 24 | mA |
| VOD = 0 | - |  | 12 | mA |
| IOZ | 高阻态输出电流 | VO = 0 to 2.5V | - |  | 10 | μA |





图 7-1 LVDS 测试负载及输出波形示意图

* 1. VGA 接口特性
		1. VGA 接口电气特性

表 7-5 VGA 接口中每个 DAC 接口电气特性

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **参数** | **测试条件** | **最小值** | **典型值** | **最大值** | **单位** |
| 精度 | - | - | 10 | - | Bits |
| 积分非线性 | - | - | - | ±2.0 | LSB |
| 差分非线性 | - | - | - | ±0.5 | LSB |
| 转换速度 | - | - | 240 | 350 | MSPS |
| 满量程输出电流 | - | 17.1 | 27 | 34.2 | mA |
| 满量程输出电压 | 37.5Ω | - | 1.0 | 1.28 | V |
| 输出传播延时 | 37.5Ω | - | 1.8 | 2.5 | ns |
| SFDR | 1.22M@ 250M，IFS= 34.2mA | - | 60 | - | dB |

* + 1. 满量程电流调节方法

本芯片中 DAC 转换的满量程电流值是可以调节的。转换原理是首先由一个外部或内部的参考电压产生一个单位电流源，然后通过内部电流源阵列镜像这个单位电流源，当所有的电流源阵列全部打开的时候，此时 DAC 输出的就是满量程电流。

满量程电流与参考电源和外部调节电阻之间的计算公式如下： **Full\_scale\_current = 1023 x 0.0627 x [(REXTP - REXTN)/Rref]**。当前情况下，采用内部带隙参考源 **REXTP-REXTN=Vbandgap=1.21V**；

Rref（Reference Resistor 调节电阻），可调范围为 2.27K～4.54K，对应满量程电流 17.1mA～34.2mA（在远端及近端分别是标准 75 欧阻抗下（即 R\_load 为 37.5 欧）时，对应电压为 0.64V~1.28V）。

## 机械特性

本章描述了 JM7500 图形处理芯片的机械特性，详见以下各小节：

* JM7500 物理尺寸
* BGA 回流焊接工艺推荐
	1. JM7500 封装物理尺寸

封装外形：HFCBGA 23mm x 23mm – 628 管脚



图 0-1 JM7500 封装物理尺寸-顶部与横剖面视图



图 0-2 JM7500 封装物理尺寸-底视图

表 0-1 JM7500 芯片封装尺寸

|  |  |  |
| --- | --- | --- |
|  | **符号** | **常用尺寸** |
| **最小值** | **典型值** | **最大值** |
| 总厚度 | A |  |  | 2.44 |
| 站高 | A1 | 0.27 | --- | 0.37 |
| 基片厚度 | A2 | 1.07 REF |
| DIE+BUMP 厚度 | A3 | 0.87 REF |
| 芯片尺寸 | D | 23 BSC |
| E | 23 BSC |
| 球 直径 |  | 0.4 |
| 球 开口 |  | 0.35 |
| 球 宽 | b | 0.38 | --- | 0.48 |
| 球间距 | e | 0.8 BSC |
| 球间距 | e1 | 0.4 BSC |
| 球数量 | n | 628 |
| 边界的球中心到球中心 | D1 | 21.6 BSC |
| E1 | 21.6 BSC |

|  |  |  |
| --- | --- | --- |
|  | **符号** | **常用尺寸** |
| **最小值** | **典型值** | **最大值** |
| 芯片中心到焊球 | SD | 0.4 BSC |
| SE | 0.4 BSC |
| 封装边缘公差 | aaa | 0.15 |
| 基片平整度 | bbb | 0.25 |
| 共面性 | ddd | 0.15 |
| 球偏移（封装） | eee | 0.15 |
| 球偏移（球） | fff | 0.08 |

注：1、尺寸 b 为最大的焊膏球直径平行到水平基准C 的距离； 2、基准 C 定义为焊膏球的球顶；

3、平行测量应排除任何封装顶层面的痕迹影响。

* 1. BGA 回流焊接工艺推荐

SMT 回流焊接是一个复杂的热力学过程，SMT 设备参数设定、锡膏印刷、PCB 设计等因素都将影响器件最终焊接质量。我们推荐器件应用前充分理解 SMT 焊接工艺流程，焊接设备功能与它们之间的差异。

### 无铅制程回流曲线推荐

图 8.3 是推荐典型的无铅(SAC305)回流曲线，使用 IR 或热风对流焊接设备。如选择热风对流焊接设备，推荐使用 10 温区及以上的焊接设备，另带氮气辅助装置。



图 0-3 无铅（SAC305）回流曲线

* + - 最高器件本体温度 245℃；
		- PCB pad 温度参考锡膏厂家推荐曲线；

  预热温度建议参考锡膏厂家推荐；

* + - 器件 SMT 上线前，建议做除湿烘烤处理；
		- 推荐使用热点偶，实物测试器件本体表面与 PCB Pad 温度；
		- 无铅焊接过程中推荐充氮气焊接；
		- 回流设备参数设定需考虑板的最小形变。

特殊情况当器件被放置在一个复杂的混合焊接或双面焊接工艺（top 和 bottom）时， 板上分布有大、小不同器件或高密度的热敏感器件时，建议合理控制回流温度曲线的上

/下斜率，减少 PCB 形变对焊接质量造成冲击，特别冷却斜率。不建议器件二次过回流炉。

注意：最终温度曲线的微调，建议结合 SMT 制程中使用的锡膏、flux 的类型及其它器件的温度兼容特性。

## 热阻信息





## 附录A 管脚列表

保留管脚参考硬件原理图布线方案。NC 表示当前管脚保留。

|  |  |
| --- | --- |
| **焊球参考位****置** | **信号名** |
| A3 | GND |
| A5 | BMEM\_0\_DQ[2] |
| A7 | BMEM\_0\_DQ[6] |
| A9 | BMEM\_0\_DQ[11] |
| A11 | BMEM\_0\_DQS\_N[1] |
| A13 | BMEM\_0\_DQ[13] |
| A15 | BMEM\_0\_DQ[18] |
| A17 | BMEM\_0\_DQ[20] |
| A19 | BMEM\_0\_DQ[27] |
| A21 | BMEM\_0\_DQS\_N[3] |
| A23 | BMEM\_1\_DQ[30] |
| A25 | BMEM\_1\_DQS\_P[3] |
| A27 | BMEM\_1\_DQ[25] |
| A28 | BMEM\_1\_DM[2] |
| A30 | GND |
| AA1 | GND |
| AA3 | WHDMI1\_TXCKN |
| AA5 | WHDMI1\_BIAS |
| AA6 | GND |
| AA11 | GND |
| AA12 | VDD10 |
| AA13 | GND |
| AA15 | VDD10 |
| AA16 | GND |
| AA17 | VDD10 |
| AA18 | GND |
| AA20 | VDD10 |
| AA21 | GND |
| AA22 | GND |

|  |  |  |  |
| --- | --- | --- | --- |
|  | **焊球参考位****置** | **信号名** |  |
| AA27 | GND |
| AA29 | PCIE\_RX\_P[7] |
| AA31 | PCIE\_RX\_M[6] |
| AB2 | WHDMI1\_TXCKP |
| AB4 | WHDMI1\_TX0N |
| AB6 | GND |
| AB7 | AVDD18\_PLL95\_HV |
| AB8 | GND |
| AB9 | AVDD18\_PLL40\_HV |
| AB10 | VDD10 |
| AB11 | VDD10 |
| AB12 | GND |
| AB13 | VDD10 |
| AB15 | GND |
| AB16 | VDD10 |
| AB17 | GND |
| AB18 | VDD10 |
| AB20 | GND |
| AB21 | VDD10 |
| AB22 | GND |
| AB23 | VDD10\_PCIE |
| AB24 | GND |
| AB25 | PCIE\_TX\_M[4] |
| AB26 | PCIE\_TX\_P[4] |
| AB27 | GND |
| AB28 | PCIE\_RX\_M[5] |
| AB30 | PCIE\_RX\_P[6] |
| AB32 | GND |
| AC1 | GND |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **焊球参考位****置** | **信号名** |  | **焊球参考位****置** | **信号名** |  |
| AC3 | WHDMI1\_TX1N | AD11 | GND |
| AC5 | WHDMI1\_TX0P | AD13 | VDD33\_IO |
| AC6 | GND | AD14 | VDD33\_IO |
| AC7 | AVDD18\_HDMI\_BIAS | AD16 | VDD10\_PCIE |
| AC8 | AVDD18\_HDMI\_BIAS | AD17 | VDD10\_PCIE |
| AC9 | GND | AD19 | VDD10\_PCIE |
| AC10 | GND | AD20 | NC |
| AC11 | GND | AD22 | VDD10\_PCIE |
| AC13 | GND | AD23 | VDD10\_PCIE |
| AC14 | GND | AD24 | PCIE\_TX\_M[1] |
| AC16 | GND | AD25 | PCIE\_TX\_P[1] |
| AC17 | GND | AD26 | GND |
| AC19 | VDD10\_PCIE | AD27 | GND |
| AC20 | VDD10\_PCIE | AD28 | PCIE\_RX\_M[3] |
| AC22 | VDD10\_PCIE | AD30 | PCIE\_RX\_P[4] |
| AC23 | VDD10\_PCIE | AD32 | GND |
| AC24 | PCIE\_TX\_M[3] | AE1 | GND |
| AC25 | PCIE\_TX\_P[3] | AE3 | WHDMI0\_TXCKN |
| AC26 | PCIE\_TX\_P[2] | AE5 | WHDMI1\_TX2P |
| AC27 | PCIE\_TX\_M[2] | AE6 | GND |
| AC29 | PCIE\_RX\_P[5] | AE7 | GND |
| AC31 | PCIE\_RX\_M[4] | AE8 | GND |
| AD2 | WHDMI1\_TX1P | AE9 | GND |
| AD4 | WHDMI1\_TX2N | AE10 | GND |
| AD6 | GND | AE11 | GND |
| AD7 | AVDD18\_HDMI\_PLL | AE13 | GND |
| AD8 | AVDD18\_HDMI\_PLL | AE14 | VDD33\_IO |
| AD9 | GND | AE16 | VDD10\_PCIE |
| AD10 | GND | AE17 | VDD10\_PCIE |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **焊球参考位****置** | **信号名** |  | **焊球参考位****置** | **信号名** |  |
| AE19 | VDD10\_PCIE | AF27 | GND |
| AE20 | NC | AF28 | PCIE\_RX\_M[1] |
| AE22 | VDD10\_PCIE | AF30 | PCIE\_RX\_P[2] |
| AE23 | VDD10\_PCIE | AF32 | GND |
| AE24 | GND | AG1 | GND |
| AE25 | PCIE\_TX\_M[0] | AG3 | WHDMI0\_TX1N |
| AE26 | PCIE\_TX\_P[0] | AG5 | WHDMI0\_TX0P |
| AE27 | GND | AG6 | AVDD10\_HDMI |
| AE29 | PCIE\_RX\_P[3] | AG7 | AVDD10\_HDMI |
| AE31 | PCIE\_RX\_M[2] | AG8 | AVDD10\_HDMI |
| AF2 | WHDMI0\_TXCKP | AG9 | GND |
| AF4 | WHDMI0\_TX0N | AG10 | AVDD18\_LVDS\_PLL |
| AF6 | AVDD10\_HDMI | AG11 | WLVDS\_RTUNE |
| AF7 | AVDD10\_HDMI | AG12 | AVDD25\_LVDS\_TX |
| AF8 | AVDD10\_HDMI | AG13 | AVDD25\_LVDS\_TX |
| AF9 | GND | AG14 | GND |
| AF10 | AVDD18\_LVDS\_PLL | AG15 | GND |
| AF11 | GND | AG16 | WJTAG\_TDI |
| AF13 | AVDD25\_LVDS\_TX | AG17 | NWPOWERRESET |
| AF14 | GND | AG18 | GND |
| AF16 | VDD10\_PCIE | AG19 | PCIE\_EXT\_CLK\_N |
| AF17 | NWINH | AG20 | NC |
| AF19 | PCIE\_REFRES | AG21 | GND |
| AF20 | NC | AG22 | GND |
| AF22 | NC | AG23 | NC |
| AF23 | NC | AG24 | GND |
| AF24 | NC | AG25 | NC |
| AF25 | NC | AG26 | GND |
| AF26 | NC | AG27 | NC |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **焊球参考位****置** | **信号名** |  | **焊球参考位****置** | **信号名** |  |
| AG29 | PCIE\_RX\_P[1] | AJ27 | NC |
| AG31 | PCIE\_RX\_M[0] | AK1 | WHDMI0\_TX2P |
| AH1 | WHDMI0\_TX1P | AK3 | GND |
| AH3 | WHDMI0\_TX2N | AK5 | WLVDS\_TA0P |
| AH5 | GND | AK6 | WLVDS\_TA1N |
| AH6 | GND | AK8 | WLVDS\_TACLKN |
| AH8 | WLVDS\_TA2P | AK10 | WLVDS\_TB0N |
| AH10 | WLVDS\_TA3P | AK12 | WLVDS\_TB2N |
| AH12 | WLVDS\_TB1P | AK14 | WLVDS\_TBCLKP |
| AH14 | GND | AK16 | NWJTAG\_TRST |
| AH16 | WJTAG\_TDO | AK18 | GND |
| AH18 | PCIE\_EXT\_CLK\_P | AK20 | NC |
| AH20 | GND | AK22 | NC |
| AH22 | NC | AK24 | NC |
| AH24 | NC | AK26 | NC |
| AH26 | NC | AK28 | NC |
| AH28 | GND | AK30 | NC |
| AH30 | GND | AK32 | GND |
| AH32 | PCIE\_RX\_P[0] | AL7 | WLVDS\_TA1P |
| AJ7 | WLVDS\_TA2N | AL9 | WLVDS\_TACLKP |
| AJ9 | WLVDS\_TA3N | AL11 | WLVDS\_TB0P |
| AJ11 | WLVDS\_TB1N | AL13 | WLVDS\_TB2P |
| AJ13 | WLVDS\_TBCLKN | AL15 | WLVDS\_TB3P |
| AJ15 | WLVDS\_TB3N | AL17 | WJTAG\_TCLK |
| AJ17 | WJTAG\_TMS | AL19 | NC |
| AJ19 | NC | AL21 | GND |
| AJ21 | NC | AL23 | NC |
| AJ23 | NC | AL25 | NC |
| AJ25 | NC | AL27 | NC |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **焊球参考位****置** | **信号名** |  | **焊球参考位****置** | **信号名** |  |
| AM3 | GND | C7 | BMEM\_0\_DQ[5] |
| AM5 | WLVDS\_TA0N | C9 | BMEM\_0\_DQ[8] |
| AM6 | GND | C11 | BMEM\_0\_DQS\_P[1] |
| AM8 | GND | C13 | BMEM\_0\_DQ[12] |
| AM10 | GND | C15 | BMEM\_0\_DQS\_N[2] |
| AM12 | GND | C17 | BMEM\_0\_DQ[21] |
| AM14 | GND | C19 | BMEM\_0\_DQ[26] |
| AM16 | GND | C21 | BMEM\_0\_DQS\_P[3] |
| AM18 | GND | C23 | BMEM\_1\_DQ[31] |
| AM20 | NC | C25 | BMEM\_1\_DQS\_N[3] |
| AM22 | GND | C27 | BMEM\_1\_DQ[26] |
| AM24 | GND | C28 | BMEM\_1\_DQ[23] |
| AM26 | GND | C30 | BMEM\_1\_DQ[22] |
| AM28 | GND | C32 | GND |
| AM30 | NC | D6 | BMEM\_0\_DQS\_P[0] |
| B6 | GND | D8 | BMEM\_0\_DQ[7] |
| B8 | GND | D10 | BMEM\_0\_DQ[10] |
| B10 | GND | D12 | BMEM\_0\_DQ[15] |
| B12 | GND | D14 | BMEM\_0\_DQ[17] |
| B14 | GND | D16 | BMEM\_0\_DQS\_P[2] |
| B16 | GND | D18 | BMEM\_0\_DQ[22] |
| B18 | GND | D20 | BMEM\_0\_DQ[24] |
| B20 | GND | D22 | BMEM\_0\_DQ[29] |
| B22 | GND | D24 | BMEM\_1\_DQ[29] |
| B24 | GND | D26 | BMEM\_1\_DQ[27] |
| B26 | GND | E1 | WMEM\_0\_VREF |
| C1 | GND | E3 | BMEM\_0\_DQ[0] |
| C3 | BMEM\_0\_DQ[3] | E5 | BMEM\_0\_DQ[1] |
| C5 | BMEM\_0\_DQS\_N[0] | E7 | BMEM\_0\_DM[0] |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **焊球参考位****置** | **信号名** |  | **焊球参考位****置** | **信号名** |  |
| E9 | BMEM\_0\_DM[1] | F20 | BMEM\_0\_DQ[25] |
| E11 | WMEM\_0\_RESET\_N | F21 | GND |
| E13 | BMEM\_0\_DQ[14] | F22 | BMEM\_0\_DQ[30] |
| E15 | BMEM\_0\_DQ[19] | F23 | BMEM\_0\_DQ[31] |
| E17 | BMEM\_0\_DM[2] | F24 | GND |
| E19 | BMEM\_0\_DM[3] | F25 | BMEM\_1\_ADDR[9] |
| E21 | BMEM\_0\_DQ[28] | F26 | BMEM\_1\_ADDR[6] |
| E23 | BMEM\_1\_DQ[28] | F27 | BMEM\_1\_ADDR[1] |
| E25 | BMEM\_1\_DM[3] | F28 | BMEM\_1\_DQS\_P[2] |
| E27 | BMEM\_1\_DQ[24] | F30 | BMEM\_1\_DQS\_N[2] |
| E28 | GND | F32 | GND |
| E30 | BMEM\_1\_DQ[20] | G1 | WREF\_CLK |
| E32 | BMEM\_1\_DQ[21] | G3 | WPLL\_CLKOUT\_N |
| F2 | GND | G5 | WPLL\_CLKOUT\_P |
| F4 | BMEM\_0\_ZQ | G6 | WGPIO\_DAC1\_SDA |
| F6 | GND | G7 | WSPI0\_CS0 |
| F7 | WSPI0\_MOSI | G8 | BBOOT\_CFG[6] |
| F8 | BMEM\_0\_DQ[4] | G9 | BBOOT\_CFG[5] |
| F9 | GND | G10 | BBOOT\_CFG[2] |
| F10 | BMEM\_0\_DQ[9] | G11 | BMEM\_0\_ADDR[8] |
| F11 | BMEM\_0\_ADDR[13] | G13 | BMEM\_0\_ADDR[6] |
| F12 | BMEM\_0\_ADDR[14] | G14 | BMEM\_0\_ADDR[12] |
| F13 | GND | G16 | BMEM\_0\_ADDR[5] |
| F14 | BMEM\_0\_ADDR[1] | G17 | BMEM\_0\_BADDR[0] |
| F15 | BMEM\_0\_DQ[16] | G19 | BMEM\_0\_ADDR[10] |
| F16 | GND | G20 | WMEM\_0\_CKE |
| F17 | BMEM\_0\_BADDR[2] | G22 | BMEM\_0\_CLK\_N |
| F18 | BMEM\_0\_DQ[23] | G23 | BMEM\_0\_CLK\_P |
| F19 | GND | G24 | BMEM\_1\_ADDR[13] |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **焊球参考位****置** | **信号名** |  | **焊球参考位****置** | **信号名** |  |
| G25 | BMEM\_1\_ADDR[8] | J3 | WGPIO\_HDMI1\_SDA |
| G26 | BMEM\_1\_ADDR[11] | J5 | WGPIO\_HDMI0\_HPD |
| G27 | BMEM\_1\_ADDR[12] | J6 | WGPIO\_HDMI1\_HPD |
| G29 | BMEM\_1\_DQ[19] | J7 | WGPIO\_HDMI0\_SDA |
| G31 | BMEM\_1\_DQ[18] | J8 | VDD33\_IO |
| H2 | GND | J9 | BBOOT\_CFG[3] |
| H4 | WSPI0\_MISO | J10 | BBOOT\_CFG[0] |
| H6 | WSPI0\_SCLK | J11 | BMEM\_0\_ADDR[7] |
| H7 | WGPIO\_DAC1\_SCL | J13 | BMEM\_0\_ADDR[4] |
| H8 | GND | J14 | BMEM\_0\_ADDR[2] |
| H9 | BBOOT\_CFG[4] | J16 | BMEM\_0\_ADDR[3] |
| H10 | BBOOT\_CFG[1] | J17 | WMEM\_0\_WE\_N |
| H11 | BMEM\_0\_ADDR[9] | J19 | GND |
| H13 | BMEM\_0\_ADDR[11] | J20 | WMEM\_0\_CAS\_N |
| H14 | BMEM\_0\_BADDR[1] | J22 | VDD15\_DDR\_IO |
| H16 | BMEM\_0\_ADDR[0] | J23 | VDD15\_DDR\_IO |
| H17 | BMEM\_0\_ADDR[15] | J24 | BMEM\_1\_ADDR[14] |
| H19 | WMEM\_0\_CS\_N | J25 | BMEM\_1\_BADDR[1] |
| H20 | WMEM\_0\_ODT | J26 | BMEM\_1\_ADDR[2] |
| H22 | WMEM\_0\_RAS\_N | J27 | BMEM\_1\_ADDR[5] |
| H23 | GND | J29 | BMEM\_1\_BADDR[0] |
| H24 | WMEM\_1\_RESET\_N | J31 | BMEM\_1\_ADDR[3] |
| H25 | BMEM\_1\_ADDR[7] | K2 | WGPIO\_DAC0\_SCL |
| H26 | BMEM\_1\_ADDR[4] | K4 | WGPIO\_PWM |
| H27 | GND | K6 | WGPIO\_HDMI1\_SCL |
| H28 | BMEM\_1\_DQ[17] | K7 | WGPIO\_HDMI0\_SCL |
| H30 | BMEM\_1\_DQ[16] | K8 | VDD33\_IO |
| H32 | GND | K9 | VDD33\_IO |
| J1 | WGPIO\_DAC0\_SDA | K10 | VDD33\_IO |

|  |  |
| --- | --- |
| **焊球参考位****置** | **信号名** |
| L17 | VDD15\_DDR\_IO |
| L18 | GND |
| L20 | VDD15\_DDR\_IO |
| L21 | VDD15\_DDR\_IO |
| L22 | VDD15\_DDR\_IO |
| L23 | VDD15\_DDR\_IO |
| L24 | WMEM\_1\_CAS\_N |
| L25 | WMEM\_1\_CS\_N |
| L26 | BMEM\_1\_ADDR[10] |
| L27 | GND |
| L29 | BMEM\_1\_DQ[15] |
| L31 | BMEM\_1\_DQ[13] |
| M2 | WDAC0\_REXTP |
| M4 | WDAC0\_VS |
| M6 | GND |
| M11 | VDD10 |
| M12 | GND |
| M13 | VDD10 |
| M15 | GND |
| M16 | VDD10 |
| M17 | GND |
| M18 | VDD10 |
| M20 | GND |
| M21 | VDD10 |
| M22 | GND |
| M27 | BMEM\_1\_DQ[9] |
| M28 | BMEM\_1\_DQS\_P[1] |
| M30 | BMEM\_1\_DQS\_N[1] |
| M32 | GND |

|  |  |  |
| --- | --- | --- |
| **焊球参考位****置** | **信号名** |  |
| K11 | GND |
| K13 | GND |
| K14 | GND |
| K16 | GND |
| K17 | GND |
| K19 | VDD15\_DDR\_IO |
| K20 | GND |
| K22 | GND |
| K23 | VDD15\_DDR\_IO |
| K24 | GND |
| K25 | BMEM\_1\_ADDR[0] |
| K26 | WMEM\_1\_WE\_N |
| K27 | BMEM\_1\_ADDR[15] |
| K28 | BMEM\_1\_BADDR[2] |
| K30 | BMEM\_1\_DQ[12] |
| K32 | GND |
| L1 | GND |
| L3 | WDAC0\_REXTN |
| L5 | GND |
| L6 | GND |
| L7 | BIAS18 |
| L8 | GNDS |
| L9 | VDDS |
| L10 | VDD33\_IO |
| L11 | AVDD18\_DDR\_PLL |
| L12 | AVDD18\_DDR\_PLL |
| L13 | AVDD18\_DDR\_PLL |
| L15 | AVDD18\_DDR\_PLL |
| L16 | VDD15\_DDR\_IO |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **焊球参考位****置** | **信号名** |  | **焊球参考位****置** | **信号名** |  |
| N1 | GND | P8 | AVDD18\_VTSENS |
| N3 | WDAC0\_HS | P9 | WVTSENS\_IOBS |
| N5 | AVDD18\_DAC0 | P10 | GND |
| N6 | AVDD18\_DAC0 | P23 | VDD15\_DDR\_IO |
| N7 | BIAS18 | P24 | GND |
| N8 | GNDS | P25 | BMEM\_1\_CLK\_P |
| N9 | VDDS | P26 | BMEM\_1\_CLK\_N |
| N10 | GND | P27 | BMEM\_1\_DQ[8] |
| N11 | GND | P28 | BMEM\_1\_DQ[11] |
| N12 | VDD10 | P30 | BMEM\_1\_DQ[10] |
| N13 | GND | P32 | GND |
| N15 | VDD10 | R1 | GND |
| N16 | GND | R3 | WDAC0\_R\_IDACWP |
| N17 | VDD10 | R5 | AVDD18\_DAC0 |
| N18 | GND | R6 | GND |
| N20 | VDD10 | R11 | VDD10 |
| N21 | GND | R12 | GND |
| N22 | VDD10 | R13 | VDD10 |
| N23 | VDD15\_DDR\_IO | R15 | GND |
| N24 | WMEM\_1\_RAS\_N | R16 | VDD10 |
| N25 | WMEM\_1\_ODT | R17 | GND |
| N26 | WMEM\_1\_CKE | R18 | VDD10 |
| N27 | VDD15\_DDR\_IO | R20 | GND |
| N29 | BMEM\_1\_DQ[14] | R21 | VDD10 |
| N31 | BMEM\_1\_DM[1] | R22 | GND |
| P2 | WDAC0\_G\_IDACUP | R27 | GND |
| P4 | WDAC0\_B\_IDACVP | R29 | BMEM\_1\_DQ[6] |
| P6 | AVDD18\_DAC0 | R31 | BMEM\_1\_DM[0] |
| P7 | AVDD18\_OTP | T2 | WDAC1\_HS |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **焊球参考位****置** | **信号名** |  | **焊球参考位****置** | **信号名** |  |
| T4 | WDAC1\_VS | U8 | AVDD10\_PLL\_POST |
| T6 | AVDD18\_DAC1 | U9 | AVDD10\_PLL\_POST |
| T7 | GND | U10 | GND |
| T8 | VREFNEG\_VTSENS | U11 | VDD10 |
| T9 | VREFPOS\_VTSENS | U12 | GND |
| T10 | VDD10 | U13 | VDD10 |
| T11 | GND | U15 | GND |
| T12 | VDD10 | U16 | VDD10 |
| T13 | GND | U17 | GND |
| T15 | VDD10 | U18 | VDD10 |
| T16 | GND | U20 | GND |
| T17 | VDD10 | U21 | VDD10 |
| T18 | GND | U22 | GND |
| T20 | VDD10 | U23 | VDD15\_DDR\_IO |
| T21 | GND | U24 | GND |
| T22 | GND | U25 | PCIE\_TX\_P[6] |
| T23 | VDD15\_DDR\_IO | U26 | PCIE\_TX\_P[7] |
| T24 | VDD15\_DDR\_IO | U27 | GND |
| T25 | WMEM\_1\_VREF | U29 | BMEM\_1\_DQS\_P[0] |
| T26 | PCIE\_TX\_M[7] | U31 | BMEM\_1\_DQS\_N[0] |
| T27 | BMEM\_1\_DQ[7] | V2 | WDAC1\_G\_IDACUP |
| T28 | BMEM\_1\_DQ[5] | V4 | WDAC1\_R\_IDACWP |
| T30 | BMEM\_1\_DQ[4] | V6 | AVDD18\_DAC1 |
| T32 | GND | V11 | GND |
| U1 | GND | V12 | VDD10 |
| U3 | WDAC1\_B\_IDACVP | V13 | GND |
| U5 | AVDD18\_DAC1 | V15 | VDD10 |
| U6 | AVDD18\_DAC1 | V16 | GND |
| U7 | AVDD10\_PLL\_POST | V17 | VDD10 |

|  |  |
| --- | --- |
| **焊球参考位****置** | **信号名** |
| Y10 | GND |
| Y11 | VDD10 |
| Y12 | GND |
| Y13 | VDD10 |
| Y15 | GND |
| Y16 | VDD10 |
| Y17 | GND |
| Y18 | VDD10 |
| Y20 | GND |
| Y21 | VDD10 |
| Y22 | GND |
| Y23 | VDD10\_PCIE |
| Y24 | VDD10\_PCIE |
| Y25 | PCIE\_TX\_P[5] |
| Y26 | PCIE\_TX\_M[5] |
| Y27 | GND |
| Y28 | BMEM\_1\_ZQ |
| Y30 | PCIE\_RX\_M[7] |
| Y32 | GND |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |
|  |  |

|  |  |  |
| --- | --- | --- |
| **焊球参考位****置** | **信号名** |  |
| V18 | GND |
| V20 | VDD10 |
| V21 | GND |
| V22 | VDD10 |
| V27 | GND |
| V28 | BMEM\_1\_DQ[0] |
| V30 | BMEM\_1\_DQ[3] |
| V32 | GND |
| W1 | WDAC1\_REXTN |
| W3 | WDAC1\_REXTP |
| W5 | GND |
| W6 | GND |
| W7 | GND |
| W8 | AVDD10\_PLL\_POST |
| W9 | AVDD10\_PLL\_POST |
| W10 | VDD10 |
| W23 | VDD10\_PCIE |
| W24 | VDD10\_PCIE |
| W25 | GND |
| W26 | PCIE\_TX\_M[6] |
| W27 | GND |
| W29 | BMEM\_1\_DQ[2] |
| W31 | BMEM\_1\_DQ[1] |
| Y2 | GND |
| Y4 | WHDMI0\_BIAS |
| Y6 | VDD10\_PLL40\_REF |
| Y7 | VDD10\_PLL95\_REF |
| Y8 | GND |
| Y9 | GND |

## 附录 B 管脚分布



图 附录 B--1 JM7500 封装管脚分布顶视图-左边



图 附录 B--2 JM7500 封装管脚分布顶视图-右边